

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application:      October 29, 2002

Application Number:      No. 2002-314695  
[ST.10/C]:                      [JP 2002-314695]

Applicant(s)                      SHINKO ELECTRIC INDUSTRIES CO., LTD.

August 5, 2003

Commissioner,  
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3062737

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 0 月 2 9 日  
Date of Application:

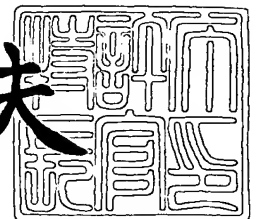
出 願 番 号            特 願 2 0 0 2 - 3 1 4 6 9 5  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 3 1 4 6 9 5 ]

出      願      人            新 光 電 気 工 業 株 式 有 限 公 司  
Applicant(s):

2 0 0 3 年    8 月    5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 2 7 3 7

【書類名】 特許願

【整理番号】 SD14-055

【提出日】 平成14年10月29日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 23/12

【発明の名称】 半導体装置用基板及びこの製造方法、並びに半導体装置

【請求項の数】 6

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 大井 淳

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 堀川 泰愛

【特許出願人】

【識別番号】 000190688

【氏名又は名称】 新光電気工業株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0202532

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置用基板及びこの製造方法、並びに半導体装置

【特許請求の範囲】

【請求項 1】 複数の絶縁層が積層された構造であり、半導体素子が搭載される半導体素子搭載面を有する構成の半導体装置用基板であって、

電極が誘電体部を挟んで対向する構造のキャパシタ部が、積層されている絶縁層の間に作り込まれている構成としたことを特徴とする半導体装置用基板。

【請求項 2】 複数の絶縁層が積層された構造であり、半導体素子が搭載される半導体素子搭載面を有し、内部に電源供給導電路及び接地導電路を有する構成の半導体装置用基板であって、

電極が誘電体部を挟んで対向する構造のキャパシタ部が、上記電源供給導電路と接地導電路との間に電氣的に接続させて、積層されている絶縁層の間に作り込まれている構成としたことを特徴とする半導体装置用基板。

【請求項 3】 請求項 1 又は請求項 2 記載の半導体装置用基板において、

上記複数の絶縁層のうち上記半導体素子搭載面を形成する絶縁層は、ベークされた有機ポリシラン製の層である構成としたことを特徴とする半導体装置用基板。

【請求項 4】 複数の絶縁層が積層された構造であり、且つ、電極が誘電体部を挟んで対向する構造のキャパシタ部を隣り合う絶縁層の間に備えている構成の半導体装置用基板を製造する方法において、

絶縁層を重ねて形成する工程の途中における一つの絶縁層を形成する工程と次の絶縁層を形成する工程との間で、

一つの電極を形成する工程、該形成された電極に重ねて誘電体部を形成する工程及び該形成された誘電体部に重ねて別の電極を形成する工程とを行うことを特徴とする半導体装置用基板の製造方法。

【請求項 5】 請求項 4 記載の半導体装置用基板の製造方法において、

上記一つの絶縁層を形成する工程は、ベークされた有機ポリシラン製の層を形成する工程であることを特徴とする半導体装置用基板の製造方法。

【請求項 6】 請求項 1 乃至請求項 3 のうち何れか一項記載の半導体装置用

基板の半導体素子搭載面に半導体素子が搭載された構成としたことを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置用基板及びこの製造方法、並びに半導体装置に関する。

【0 0 0 2】

【従来の技術】

近年、半導体装置は搭載される半導体素子の動作周波数が高周波数化してきており、これに伴って、半導体素子に供給する電源電圧の安定化を図ることが必要となってきた。これに対応するために、半導体素子が搭載される半導体装置用基板にキャパシタ素子を設ける構造が提案されている。

【0 0 0 3】

図 9 は従来の半導体装置 1 0 を示す。半導体素子 1 2 が搭載してある半導体装置用基板 1 1 は、基板本体 1 3 の内部にキャパシタ素子 1 4 が設けてある構成である。キャパシタ素子 1 4 は、シリコン基板 1 5 の上面に、誘電材料からなる膜 1 6 が形成してあり、更に膜 1 6 の上に導電性の膜 1 7 が形成してある構成である。（特許文献 1 参照）

【特許文献 1】

特開 2 0 0 1 - 2 7 4 0 3 4 号公報（段落番号 0 0 2 5， 0 0 2 6、図 3）

【0 0 0 4】

【発明が解決しようとする課題】

半導体装置用基板 1 1 は別個に製造したキャパシタ素子 1 4 を基板本体 1 3 の内部に埋め込んである構成であるので、キャパシタ素子 1 4 と半導体素子搭載面との距離を短くすることは困難であり、半導体素子 1 2 とキャパシタ素子 1 4 との間の導電経路を短くすることは難しい。よって、この導電経路の部分のインダクタンスを小さくすることが難しく、半導体素子の動作周波数が高周波数化してきた場合に、このインダクタンスが原因で半導体素子に供給する電源電圧の安定

化を図ることが難しくなってしまう。

【0005】

また、キャパシタ素子 14 は、基板本体 13 とは別個に製造したものであり、半導体装置用基板 11 はキャパシタ素子 14 を基板本体 13 の内部に埋め込んで製造される。このため、半導体装置用基板 11 の製造に手間が掛かっていた。

【0006】

また、キャパシタ素子 14 は支持体がシリコン基板 15 であるので、膜 16、17 が形成されたシリコンウェハを個片化する場合に、シリコンウェハをダイシングする必要がある、製造に手間が掛かっており、その分、半導体装置用基板 11 の製造コストが高くなっていた。

【0007】

また、キャパシタ素子 14 は支持体がシリコン基板 15 であるので、キャパシタ素子 14 は、厚さが薄くできず、その分、半導体装置用基板 11 が厚くなってしまっていた。半導体装置用基板 11 を薄くしようとして基板本体 13 に窪み部 18 を形成してあるが、この窪み部 18 は基板本体 13 の構造を複雑にしている。

【0008】

そこで、本発明は上記課題を解決した半導体装置用基板及びこの製造方法、並びに半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

請求項 1 の発明は、複数の絶縁層が積層された構造であり、半導体素子が搭載される半導体素子搭載面を有する構成の半導体装置用基板であって、

電極が誘電体部を挟んで対向する構造のキャパシタ部が、積層されている絶縁層の間に作り込まれている構成としたものである。

【0010】

キャパシタ素子を別途製造しておいて、これを半導体装置用基板本体に埋め込んでなる構造に比べて、キャパシタ部を半導体素子搭載面の極く近くに配置することが可能となり、インダクタンスの影響を小さく出来る。

**【0011】**

また、キャパシタ素子を別途製造しておいて、これを半導体装置用基板本体に埋め込んでなる構造に比べて、キャパシタ部を有する半導体装置用基板を生産性良く製造することが可能である。

**【0012】**

請求項2の発明は、複数の絶縁層が積層された構造であり、半導体素子が搭載される半導体素子搭載面を有し、内部に電源供給導電路及び接地導電路を有する構成の半導体装置用基板であって、

電極が誘電体部を挟んで対向する構造のキャパシタ部が、上記電源供給導電路と接地導電路との間に電氣的に接続させて、積層されている絶縁層の間に作り込まれている構成としたものである。

**【0013】**

キャパシタ素子を別途製造しておいてこれを半導体装置用基板本体に埋め込んでなる構造に比べて、キャパシタ部を電源供給導電路と接地導電路との間に電氣的に接続させた状態で半導体素子搭載面の極く近くに配置することが可能となり、インダクタンスの影響を小さく出来、半導体素子の動作周波数が高周波数化した場合にも半導体素子に供給する電源電圧の安定化を図ることが出来る。

**【0014】**

請求項3の発明は、請求項1又は請求項2記載の半導体装置用基板において、上記複数の絶縁層のうち上記半導体素子搭載面を形成する絶縁層は、ベークされた有機ポリシラン製の層である構成としたものである。

**【0015】**

ベークされた有機ポリシラン製の層の熱膨張係数は半導体素子の熱膨張係数と略同じであるので、半導体素子搭載面に半導体素子が搭載されて半導体装置とされた場合に、搭載された半導体素子と半導体装置用基板との間に発生する熱応力を小さく抑制することが可能となる。

**【0016】**

請求項4の発明は、複数の絶縁層が積層された構造であり、且つ、電極が誘電体部を挟んで対向する構造のキャパシタ部を隣り合う絶縁層の間に備えている構



造の半導体装置用基板を製造する方法において、

絶縁層を重ねて形成する工程の途中における一つの絶縁層を形成する工程と次の絶縁層を形成する工程との間で、

一つの電極を形成する工程、該形成された電極に重ねて誘電体部を形成する工程及び該形成された誘電体部に重ねて別の電極を形成する工程とを行うようにしたものである。

#### 【0 0 1 7】

絶縁層を重ねて形成する工程の途中でキャパシタ部を形成するため、内部にキャパシタ部を有する半導体装置用基板を効率良く製造することが可能となる。

#### 【0 0 1 8】

請求項 5 の発明は、請求項 4 記載の半導体装置用基板の製造方法において、上記一つの絶縁層を形成する工程は、ベークされた有機ポリシラン製の層を形成する工程であるようにしたものである。

#### 【0 0 1 9】

ベークされた有機ポリシラン製の層は高温に対応可能であり、キャパシタ部を形成する工程をこのベークされた有機ポリシラン製の層に対して行うため、キャパシタ部を形成するのに高温条件のプロセスを適用することが可能となる。

#### 【0 0 2 0】

請求項 6 の発明は、請求項 1 乃至請求項 3 のうち何れか一項記載の半導体装置用基板の半導体素子搭載面に半導体素子が搭載された構成としたものである。

#### 【0 0 2 1】

インダクタンスが小さくてこの影響が小さく、半導体素子の動作周波数が高周波数化した場合にも半導体素子に供給する電源電圧の安定化を図ることが可能となり、且つ、搭載された半導体素子と半導体装置用基板との間に発生する熱応力を小さく抑制することが可能となって、信頼性の向上が図られる。

#### 【0 0 2 2】

#### 【発明の実施の形態】

#### 〔第 1 実施例〕

図 1 は本発明の第 1 実施例になる半導体装置 2 0 を示す。半導体装置 2 0 は、

半導体装置用基板 3 0 の半導体素子搭載面 3 6 上に半導体素子 6 0 がバンプ 6 1 によってフリップチップ接続されて搭載してあり、且つ、半導体素子 6 0 がアンダフィル 6 2 によって半導体装置用基板 3 0 に接着してある構造であり、ボールグリッドアレイタイプである。半導体素子 6 0 の下面のバンプ 6 1 が、半導体素子搭載面 3 6 に露出している信号用端子 3 8, 3 9、電源用端子 4 0、及び接地用端子 4 1 と接続してある。

#### 【 0 0 2 3 】

半導体装置用基板 3 0 は、後述するように片面ビルドアップ法によって製造されたものであり、絶縁層 3 1、3 2, 3 3 が積層してある多層回路基板であり、上側に半導体素子搭載面 3 6 を有し、下側に実装面 3 7 を有する。実装面 3 7 は、半導体装置 2 0 がプリント基板上に実装されるときにプリント基板に対向する面である。絶縁層 3 2 と絶縁層 3 3 との間に、キャパシタ部 5 0 が形成してある。キャパシタ部 5 0 は後述するように、絶縁層 3 3 を形成した工程の後で且つ、絶縁層 3 2 を形成する工程の前の段階で、即ち、ビルドアップの途中の工程でもって形成されて、半導体装置用基板 3 0 内に作り込まれている。

#### 【 0 0 2 4 】

半導体素子搭載面 3 6 には、信号用端子 3 8, 3 9、電源用端子 4 0 及び接地用端子 4 1 が露出しており、半導体素子 6 0 のバンプ 6 1 のパターンに対応した配置で並んでいる。各絶縁層のビア 3 5 が適宜配線パターン 3 4 を介して接続されており、半導体装置用基板 3 0 を厚さ方向に貫通しており、信号用端子 3 8, 3 9 から延びている信号導電経路 4 2, 4 3、電源用端子 4 0 から延びている電源供給導電経路 4 4、及び接地用端子 4 1 から延びている接地導電経路 4 5 が形成されている。実装面 3 7 には半田ボール 4 6 が各導電経路 4 2 ~ 4 5 の端に接合して設けてあり、且つ、実装面 3 7 はソルダレジスト膜 4 7 によって覆われている。

#### 【 0 0 2 5 】

半導体素子搭載面 3 6 を形成する絶縁層 3 3 は、有機ポリシラン製の層をプリベーク、ポストベークして得られたものである。有機ポリシランは、具体的にはポリメチルフェニルシランであり、ケイ素原子を主鎖に、有機置換基を側壁に持

つ構造であり、且つ、UV照射に対して光反応性を有し、且つ、ポストバークの温度によってガラス転移温度  $T_g$  (glass-transition temperature)、熱膨張係数 (CTE) 等が調整できる性質を有する。熱膨張係数は  $10 \sim 100 \text{ ppm/K}$  の範囲で調整される。半導体装置用基板 30 のうち半導体素子搭載面 36 側の絶縁層 33 の熱膨張係数は、後述するように半導体素子の材質であるシリコン基板の熱膨張係数 (約  $2.6 \text{ ppm/K}$ ) に近い値を有している。よって、半導体装置 10 において、半導体素子 60 と半導体装置用基板 30 との間の熱応力が小さくなって改善される。なお、有機ポリシラン製の層のヤング率は  $1.2 \text{ GPa}$ 、誘電率は 2.8、誘電正接は 0.005、絶縁性は  $3 \sim 7 \text{ E} + 13$  である。

#### 【0026】

キャパシタ部 50 は、図 2 に示すように、銅製の電極 51 と銅製の電極 52 とがその間に、タンタル製の層 53 とこのタンタル層 53 を陽極酸化させてなる陽極酸化層 54 とを挟んで対向している構成である。電極 51 は電源供給導電経路 44 と電氣的に接続されており、電極 52 は接地導電経路 45 と電氣的に接続されており、キャパシタ部 50 は、電源供給導電経路 44 と接地導電経路 45 とに接続されて電源供給導電経路 44 と接地導電経路 45 との間に設けてある。このキャパシタ部 50 は、半導体装置 10 がプリント基板に実装されて動作されるときに、バイパスキャパシタやデカップリングキャパシタとして機能して半導体素子 60 に供給される電源電圧の安定化が図られる。

#### 【0027】

また、キャパシタ部 50 が配置してある場所は、半導体素子搭載面 36 の真下の位置であって絶縁層 32 と絶縁層 33 との間の位置であり、この位置は、半導体素子搭載面 36 に対しては、僅かに一つの絶縁層 33 の厚み分の距離離れているだけである。このため、半導体素子 60 とキャパシタ部 50 との間の導電経路の距離  $a$ 、 $b$  は極く短く、この部分のインダクタンス  $L$  は小さい。よって、半導体素子の動作周波数が高周波数化してきた場合にも、半導体素子に供給する電源電圧はこのインダクタンスによる影響を受けずに、安定に維持される。よって、半導体装置用基板 30 は動作周波数が高い半導体素子を搭載するのに適している。

**【0028】**

また、キャパシタ部 50 は極く薄く半導体装置用基板 30 の厚さに影響を与えず、よって、半導体装置用基板 30 の厚さ  $t_1$  は薄い。

**【0029】**

次に、半導体装置用基板 30 の製造方法について、図 3、図 4 及び図 5 を参照して説明する。

**【0030】**

先ず、図 3 (A) に示すように、基材 100 の上面に有機ポリシラン層 101 を形成する。

**【0031】**

基材 100 は半導体装置用基板を形成した後にエッチングによって除去することが可能であるものであり、且つ、約 500℃ の温度に耐え得るものであり、具体的には、銅板である。鉄板でもよい。研磨によって除去することが可能であるシリコンでもよく、剥離可能である粘着性シートでもよい。有機ポリシラン層 101 は、有機ポリシランをスピコートによって 1 ～ 数 10  $\mu\text{m}$  の厚さに塗布し、120℃×10min でプリベークする。

**【0032】**

ここで、基材 100 の上面に形成してあるものが有機ポリシラン層 101 であり、ベークされた状態では、キャパシタ部を形成する過程における高温条件のプロセスにも対応することが可能である。よって、キャパシタ部は高温条件のプロセスでもって問題なく形成される。

**【0033】**

次いで、図 3 (B) に示すように、プリベークされた有機ポリシラン層を露光、現像して、基材 100 にまで到るビア用の開口 102 を形成し、ポストベークを行う。有機ポリシラン層 101 はポストベーク済み有機ポリシラン層 104 となる。このポストベーク済み有機ポリシラン層 104 が前記の絶縁層 33 を構成する。露光は 5 J/cm<sup>2</sup> (310nm) で行い、現像はアルカリ現像液で行う。ポストベークは 230℃×60min で行い、ポストベーク済み有機ポリシラン層 104 は、熱膨張係数が、シリコンの熱膨張係数に近い値を有している。な

お、500℃以上の温度でポストバークした場合には、有機ポリシランは、完全に無機化して、 $\text{SiO}_2$ となり、ポストバーク済み有機ポリシラン層104の熱膨張係数は半導体素子を構成するシリコンの熱膨張係数に近くなる。なお、特許請求の範囲に記載の「バークされた有機ポリシラン層」は高い温度でもってポストバークされて完全に無機化された層も包含するものである。

#### 【0034】

次いで、図3（C）に示すように、ビア用の開口102の底面である基材100の露出している面に電解金めっきと電解ニッケルめっきとをこの順に行って、パッド105を形成する。

#### 【0035】

次いで、無電解銅めっきを行ってシード層106を、ポストバーク済み有機ポリシラン層104の上面、パッド105の上面、及び開口102の周壁面に形成する。なお、シード層106は、クロムのスパッタを行い、続いて、銅をスパッタを行うことによっても形成することが可能である。

#### 【0036】

次いで、このシード層106を給電層として電解銅めっきを行って、金属層107を形成する。金属層107は、ポストバーク済み有機ポリシラン層44の上面に形成されると共に、ビア用の開口102を埋める。

#### 【0037】

次いで、図3（D）に示すように、金属層107をエッチングして、残った金属層によって、電極51とビア42-1-1～42-1-4とを形成する。

#### 【0038】

ここで、電極51は上記のようにサブトラクティブ法で形成しているけれども、セミアディティブ法、アディティブ法でもって形成してもよい。

#### 【0039】

次いで、図3（E）に示すように、タンタルを選択スパッタリングして電極51上に限定してタンタル層53を形成する。なお、ポストバーク済み有機ポリシラン層104の全面にタンタルをスパッタリングして全面にタンタル膜を形成し、このタンタル膜をエッチングしてパターンニングして電極51上のみタンタル膜

を残すようにしてもよい。

#### 【0040】

次いで、図3（F）に示すように、ポストベーク済み有機ポリシラン層104の上面をタンタル層53の部分を除いてレジスト膜108で被覆し、タンタル層53の上面を陽極酸化し、タンタル層53の上面に陽極酸化層（誘電体層）54を形成する。陽極酸化層54がキャパシタ部50の誘電体となる。

#### 【0041】

陽極酸化は、電解液として0.1%のクエン酸ナトリウム液を使用し、1.0 mA/cm<sup>2</sup>の定電流で、化成電圧200Vまで酸化させて行う。

#### 【0042】

次いで、図3（G）に示すように、表面に金属層109を形成する。金属層109は、レジスト膜108を除去し、表面にシード層を形成し、このシード層を給電層として電解銅めっきを施して形成する。なお、シード層は、無電解銅めっきによって形成するか、或いは、クロムのスパッタを行い続いて銅をスパッタして形成する。

#### 【0043】

次いで、図4（A）に示すように、金属層109をエッチングして、電極52と配線パターン34とを形成する。これによって、キャパシタ部50が形成される。配線パターン34はビア42-1-1、42-1-2と接続されて形成される。また、レジストパターンを形成し、陽極酸化層54及びタンタル層53のうちビア42-1-4に対応する個所をエッチングで除去して、開口110を形成して、ビア42-1-4の上面を露出させる。

#### 【0044】

次いで、図4（B）に示すように、上面にエポキシ樹脂を塗布してエポキシ樹脂膜111を形成する。

#### 【0045】

エポキシ樹脂膜111に代えて、ポリイミド樹脂膜でもよい。これらの樹脂膜は樹脂のシートを積層することによっても形成できる。

#### 【0046】

次いで、図4 (C) に示すように、レーザ加工又はエッチングによって、エポキシ樹脂膜111にビア用の開口112を形成して、ビア42-1-3、42-1-4及び配線パターン34が露出するようにする。

#### 【0047】

エポキシ樹脂膜111に代えて感光性樹脂膜である場合には、露光、現像によって開口112を形成する。

#### 【0048】

次いで、図4 (D) に示すように、エポキシ樹脂膜111の表面に金属層113を形成する。金属層113はビア用の開口112を埋める。金属層113は、エポキシ樹脂膜111の表面にシード層を形成し、このシード層を給電層として電解銅めっきを施して形成する。シード層は、無電解銅めっき又はクロムのスパッタを行い、続いて、銅をスパッタして形成する。

#### 【0049】

次いで、図4 (E) に示すように、金属層113をエッチングしてビア42-2-1～42-2-4及び配線パターンを形成する。ビア42-2-1、42-2-2は配線パターン34と電氣的に接続され、ビア42-2-3、42-2-4は夫々ビア42-1-3、42-1-4と接続されて形成される。

#### 【0050】

次いで、図4 (B) ～ (E) に示す工程を繰り返して行って、図4 (F) に示すように、エポキシ樹脂膜114、ビア42-3-1～42-3-4、外部接続用パッド115を形成する。これによって、信号導電経路42、43、電源供給導電経路44、及び接地導電経路45が形成される。更には、上面に外部接続用パッド115の部分を除いてソルダレジスト膜47を形成し、ソルダレジスト膜47の開口に半田ボール46を置いて、半田ボール46をリフローさせて半田ボール46を外部接続用パッド115に接続させる。図4 (B) ～ (E) に示す工程を複数回行ってもよい。

#### 【0051】

次いで、図5 (A) に示すように、基材100をエッチングによって除去する。これによって、ポストバーク済み有機ポリシラン層104の下面が露出し、パ

ッド105が露出して、ポストバーク済み有機ポリシラン層104の下面が、信号用端子38、39、電源用端子40、及び接地用端子41が並んでいる半導体素子搭載面36となる。

#### 【0052】

また、基材100をエッチングによって除去することによって、最終的に半導体装置用基板30となる部分がマトリクス状に並んでおり、複数の絶縁層が積層してある大判の多層板体115が得られる。この多層板体115は途中の工程でキャパシタ部50を作り込んで形成される。

#### 【0053】

なお、エッチングを基材100のうち半導体素子搭載部の周囲の部分が枠状に残るように行ってもよい。この場合には、残された枠状部が半導体装置用基板を補強する。

#### 【0054】

次いで、図5（B）に示すように、接着力の弱い仮止め用テープ116を大判の多層板体115のソルダレジスト膜47の面に接着する。多層板体115をダイシングしたときに個片化された半導体装置用基板がばらばらにならないようにするためである。

#### 【0055】

次いで、図5（C）に示すように、多層板体115を仮止め用テープ116とは反対側の面から切断線117に沿って仮止め用テープ116の厚さの途中までマトリクス状に切り込んで、多層板体115を多数の半導体装置用基板30に個片化する。個片化された多数の半導体装置用基板30がハーフカットされた仮止め用テープ116に弱く接着されて支持された状態となる。

#### 【0056】

半導体素子60を搭載する際に、この個片化された半導体装置用基板30が図5（D）に示すように仮止め用テープ116から剥離される。図5（D）は半導体装置用基板30を半導体素子60と対応させて示す。

#### 【0057】

次に、半導体素子搭載面36の端子構造の変形例について説明する。



**【0058】**

図6 (E) は半導体装置用基板30Aのうち半導体素子搭載面36の端子構造を、半導体素子60と対応させて示す。信号用端子38A、39A、電源用端子40A、及び接地用端子41Aは、はんだから成るバンプによって形成されており、半導体素子搭載面36から寸法h突き出ている。端子38A、39A、40A、41Aがはんだから成るバンプによって形成されているため、搭載する半導体素子60にはバンプを形成する必要がない。

**【0059】**

上記の半導体装置用基板30Aに半導体素子60を搭載してなる半導体装置は、半導体素子搭載面36が半導体素子60と熱膨張係数が近似しているポストベーク済み有機ポリシラン層104であることに加えて、信号用端子38A、39A、電源用端子40A、及び接地用端子41Aが半導体素子搭載面36から突き出ている構成であることによって、搭載された半導体素子60と半導体装置用基板30Aとの間に発生する熱応力が、図1に示す半導体装置20に比べて低減され、高い信頼性を有する。

**【0060】**

この半導体装置用基板30Aの端子38A～41Aは、図6 (A) 乃至 (E) に示すように製造される。

**【0061】**

図6 (A)、(B)、(C)、(D) は夫々図3 (B) ～ (D) に対応し、図6 (E) は図5 (A) に対応する。

**【0062】**

まず、図6 (A) に示すように銅板基材100上に開口102が形成された有機ポリシラン層104を有するものに対してエッチングを行って、図6 (B) に示すように、銅板基材100に凹部120を形成する。凹部120は、有機ポリシラン層104の下側にまで広がって形成される。

**【0063】**

次いで、銅板基材100を給電層として電解の半田めっきを行う。これにより、図6 (C) に示すように、半田が、最初に凹部120内に積層され、更には開

口 102 内に積層されて開口 102 を一杯に充填して、信号用端子 38A、39A、電源用端子 40A、及び接地用端子 41A を形成する。

#### 【0064】

次いで、図 6 (D) に示すように、電極 51 を接地用端子 41A と電氣的に接続された状態で形成する。

#### 【0065】

その後は、図 3 (E) ~ (G) , 図 4 (A) ~ (F) に示すと同じ工程を行って途中でキャパシタ部を作り込んで多層板体を形成し、銅板基材 100 をエッチングによって除去することによって、図 6 (E) に示すように、信号用端子 38A、39A、電源用端子 40A、及び接地用端子 41A が、半導体素子搭載面 36 から突き出して形成される。

#### 【0066】

また、有機ポリシラン層 101、エポキシ樹脂膜 111、114 に多層板体 115 を半導体装置用基板 30 に個片化するためのマトリクス状の溝を上記の切断線 117 に沿って形成すれば、多層板体 115 をダイシングしなくても、基材 100 をエッチングによって除去した段階で、多層板体 115 は多数の半導体装置用基板 30 に個片化される。

#### 【0067】

##### [第 2 実施例]

図 7 は本発明の第 2 実施例になる半導体装置 20B を示す。半導体装置 20B は、図 1 に示す半導体装置 20 とは、半導体装置用基板 30B が相違する。図 7 中、図 1 に示す構成部分と構成部分には同じ符号を付し、対応する構成部分には添え字 B を付した符号を付す。

#### 【0068】

半導体装置用基板 30B は、後述するように両面ビルドアップ法によって製造されたものである。半導体装置用基板 30B は、A1 方向にビルドアップされた絶縁層 33、32、31 に加えて、A2 方向にビルドアップされた絶縁層 140、141 が積層してある多層回路基板であり、上側に半導体素子搭載面 36B を有し、下側に実装面 37 を有する。

## 【0069】

絶縁層 32 と絶縁層 33 との間に、キャパシタ部 50 が形成してある。キャパシタ部 50 は後述するように、絶縁層 33 を形成した工程の後で且つ絶縁層 32 を形成する工程の前の段階で、即ち、A1 方向へビルドアップする途中の工程で形成されて、半導体装置用基板 30B 内に作り込まれている。絶縁層 33 と絶縁層 140 との間に、別のキャパシタ部 150 が形成してある。キャパシタ部 150 は上記のキャパシタ部 50 と同じ構造であり、後述するように、絶縁層 33 を形成した工程の後で、且つ、絶縁層 140 を形成する工程の前の段階で形成されて、即ち、A2 方向へビルドアップする途中の工程で形成されて、半導体装置用基板 30B 内に作り込まれている。キャパシタ部 50 とキャパシタ部 150 とは、電源供給導電経路 44B と接地導電経路 45B とに接続されて電源供給導電経路 44B と接地導電経路 45B との間に並列に設けてあり、容量の大きいバイパスキャパシタ又はデカップリングコンデンサとして機能して半導体素子 60B に供給される電源電圧の安定化が図られる。

## 【0070】

半導体素子搭載面 36B は、ソルダレジスト膜 142 によって覆われており、半田バンプである信号用端子 38B、39B、電源用端子 40B 及び接地用端子 41B が並んでいる。実装面 37 ははソルダレジスト膜 47 によって覆われており、半田ボール 46 が並んでいる。

## 【0071】

半導体素子 60B は、端子 61B によってフリップチップ接続されて半導体素子搭載面 36B 上に搭載してあり、且つ、アンダフィル 62 によって半導体装置用基板 30B に接着してある。半導体装置 20B はボールグリッドアレイタイプである。

## 【0072】

絶縁層 33 は、有機ポリシラン製の層をプリベーク、ポストベークして得られたものである。有機ポリシランは、具体的にはポリメチルフェニルシランである。他の絶縁層 31、32、140、141 は共にエポキシ樹脂膜である。

## 【0073】

また、キャパシタ部 50 及び 150 は、半導体素子搭載面 36B の真下の位置であって半導体素子搭載面 36B に近い位置に配されており、半導体素子 60B とキャパシタ部 50、150 との間の導電経路の距離は極く短く、この部分のインダクタンス L は小さい。よって、半導体素子の動作周波数が高周波数化してきた場合にも、半導体素子に供給する電源電圧はこのインダクタンスによる影響を受けないで、安定に維持される。また、キャパシタ部 50 及び 150 は、共に極く薄く半導体装置用基板 30B の厚さに影響を与えず、よって、半導体装置用基板 30B の厚さ t2 は薄い。

#### 【0074】

次に、半導体装置用基板 30B の製造方法について、図 8 及び図 9 を参照して説明する。

#### 【0075】

先ず、図 7 中、A1 方向へのビルドアップを行う。最初に、図 8 (A) に示すように、銅板基材 100 の上面に有機ポリシランを塗布しプリベークして有機ポリシラン層 101 を形成し、図 8 (B) に示すように、パターニングしてビア用の開口 102 と個片化のためのマトリクス状の溝 200 を形成する。また、有機ポリシラン層 101 をポストベークしてポストベーク済み有機ポリシラン層 104 とする。このポストベーク済み有機ポリシラン層 104 が前記の絶縁層 33 を構成する。

#### 【0076】

次いで、開口 102 及び溝 201 を含めた上面に無電解銅メッキと電解銅メッキとを行って、図 8 (C) に示すように、銅メッキでもって、開口 102 及び溝 201 を充填してビア 202 及び銅部 203 を形成すると共に、上面に、銅層 201 を形成する。銅部 203 がマトリクス状に並んで形成された半導体装置用基板 30B を繋いでいる役割を有する。

#### 【0077】

次いで、図 8 (D) に示すように、銅板基材 100 を除去し、ポストベーク済み有機ポリシラン層 104 の露出した下面に、無電解銅メッキと電解銅メッキとを行って銅層 205 を形成する。

**【0078】**

次いで、両面の銅層 201、205 を同時にパターンニングして、図 8 (E) に示すように、電極 51、151 を形成し、更には、図 3 (E)、(F)、(G) を参照して説明した工程と同じ工程を経て、図 8 (F) に示すようにキャパシタ部 50、150 を形成する。

**【0079】**

次いで、図 4 (A) ~ (F) を参照して説明した工程と同じ工程を経て、A2 方向へのビルドアップ及び A1 方向へのビルドアップを同時に行って、図 8 (G) に示す大判の多層板体 115B が得られる。多層板体 115B は、上下面側に形成してある溝 212、213 によって最終的に半導体装置用基板 30B となる部分 30C の周囲が囲まれ、且つ、厚さ方向上中心部のマトリクス状の溝 200 が銅部 203 によって埋められて部分 30C が繋がっている状態である。

**【0080】**

最後に、エッチングを行って溝 200 を埋めている銅部 203 を除去し、半導体装置用基板 30B が個片化される。

**【0081】**

上記の図 2 及び図 7 に示す半導体装置用基板 30、30B において、キャパシタ部 50、150 の誘電体は、陽極酸化法に限らず、PVD や CVD によってチタン酸バリウムやチタン酸ストロンチウムの強誘電体層を形成して形成してもよく、また、ゾルーゲル法によって形成することも出来る。

**【0082】**

また、図 2 及び図 7 中、有機ポリシラン層 33 に代えて、液晶ポリマー層であってもよい。

**【0083】**

また、配線パターンの途中に、陽極酸化層や強誘電体層を設けることによって、キャパシタ部に加えて、抵抗部を形成することも可能である。

**【0084】**

また、有機ポリシラン層に代えて、液晶ポリマーの層を使用することも可能である。

## 【 0 0 8 5 】

## 【発明の効果】

上述の如く、請求項 1 の発明は、複数の絶縁層が積層された構造であり、半導体素子が搭載される半導体素子搭載面を有する構成の半導体装置用基板であって、電極が誘電体部を挟んで対向する構造のキャパシタ部が、積層されている絶縁層の間に作り込まれている構成としたものであるため、キャパシタ素子を別途製造しておいて、これを半導体装置用基板本体に埋め込んでなる構造に比べて、キャパシタ部を半導体素子搭載面の極く近くに配置することが可能となり、インダクタンスの影響を小さく出来る。また、キャパシタ素子を別途製造しておいて、これを半導体装置用基板本体に埋め込んでなる構造に比べて、キャパシタ部を有する半導体装置用基板を生産性良く製造することが出来る。

## 【 0 0 8 6 】

請求項 2 の発明は、複数の絶縁層が積層された構造であり、半導体素子が搭載される半導体素子搭載面を有し、内部に電源供給導電路及び接地導電路を有する構成の半導体装置用基板であって、

電極が誘電体部を挟んで対向する構造のキャパシタ部が、上記電源供給導電路と接地導電路との間に電氣的に接続させて、積層されている絶縁層の間に作り込まれている構成としたものであるため、キャパシタ素子を別途製造しておいてこれを半導体装置用基板本体に埋め込んでなる構造に比べて、キャパシタ部を電源供給導電路と接地導電路との間に電氣的に接続させた状態で半導体素子搭載面の極く近くに配置することが可能となり、インダクタンスの影響を小さく出来、半導体素子の動作周波数が高周波数化した場合にも半導体素子に供給する電源電圧の安定化を図ることが出来る。

## 【 0 0 8 7 】

請求項 3 の発明は、請求項 1 又は請求項 2 記載の半導体装置用基板において、上記複数の絶縁層のうち上記半導体素子搭載面を形成する絶縁層は、ベークされた有機ポリシラン製の層である構成としたものであり、ベークされた有機ポリシラン製の層の熱膨張係数は半導体素子の熱膨張係数と略同じであるので、半導体素子搭載面に半導体素子が搭載されて半導体装置とされた場合に、搭載された

半導体素子と半導体装置用基板との間に発生する熱応力を小さく抑制することが出来る。

#### 【0 0 8 8】

請求項 4 の発明は、複数の絶縁層が積層された構造であり、且つ、電極が誘電体部を挟んで対向する構造のキャパシタ部を隣り合う絶縁層の間に備えている構造の半導体装置用基板を製造する方法において、絶縁層を重ねて形成する工程の途中における一つの絶縁層を形成する工程と次の絶縁層を形成する工程との間で、一つの電極を形成する工程、該形成された電極に重ねて誘電体部を形成する工程及び該形成された誘電体部に重ねて別の電極を形成する工程とを行うようにしたものであるため、絶縁層を重ねて形成する工程の途中でキャパシタ部を形成することによって、内部にキャパシタ部を有する半導体装置用基板を効率良く製造することが出来る。

#### 【0 0 8 9】

請求項 5 の発明は、請求項 4 記載の半導体装置用基板の製造方法において、上記一つの絶縁層を形成する工程は、ベークされた有機ポリシラン製の層を形成する工程であるようにしたものである。

#### 【0 0 9 0】

ベークされた有機ポリシラン製の層は高温に対応可能であり、キャパシタ部を形成する工程をこのベークされた有機ポリシラン製の層に対して行うため、キャパシタ部を形成するのに高温条件のプロセスを適用することが出来る。

#### 【0 0 9 1】

請求項 6 の発明は、請求項 1 乃至請求項 3 のうち何れか一項記載の半導体装置用基板の半導体素子搭載面に半導体素子が搭載された構成としたものであるため、インダクタンスが小さくてこの影響が小さく、半導体素子の動作周波数が高周波数化した場合にも半導体素子に供給する電源電圧の安定化を図ることが出来、且つ、搭載された半導体素子と半導体装置用基板との間に発生する熱応力を小さく抑制することが出来、信頼性の向上を図ることが出来る。

#### 【図面の簡単な説明】

#### 【図 1】

本発明の第 1 実施例になる半導体装置を示す図である。

【図 2】

図 1 中、キャパシタ部及びこの周辺部を拡大して示す図である。

【図 3】

図 1 に示す半導体装置用基板の製造工程を示す図である。

【図 4】

図 3 (G) に続く製造工程を示す図である。

【図 5】

図 4 (F) に続く製造工程を示す図である。

【図 6】

半導体素子搭載面の端子構造部の変形例を示す図である。

【図 7】

本発明の第 2 実施例になる半導体装置を示す図である。

【図 8】

図 7 に示す半導体装置用基板の製造工程を示す図である。

【図 9】

従来例を示す図である。

【符号の説明】

2 0, 2 0 B 半導体装置

3 0 半導体装置用基板

3 1、3 2、1 4 0, 1 4 1 絶縁層 (エポキシ樹脂膜)

3 3 絶縁層 (ポストバーク済み有機ポリシラン層)

3 6 半導体素子搭載面

3 7 実装面

3 8, 3 9 信号用端子

4 0 電源用端子

4 1 接地用端子

4 2, 4 3 信号導電経路

4 4 電源供給導電経路



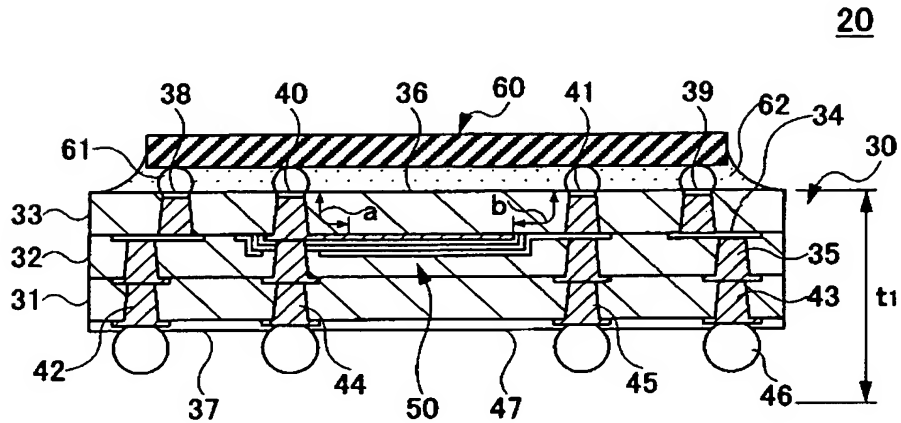
- 4 5 接地導電経路
- 5 0、1 5 0 キャパシタ部
- 5 1、5 2 銅製の電極
- 5 3 タンタル製の層
- 5 4 陽極酸化層
- 6 0 半導体素子
- 1 0 0 基材

【書類名】

図面

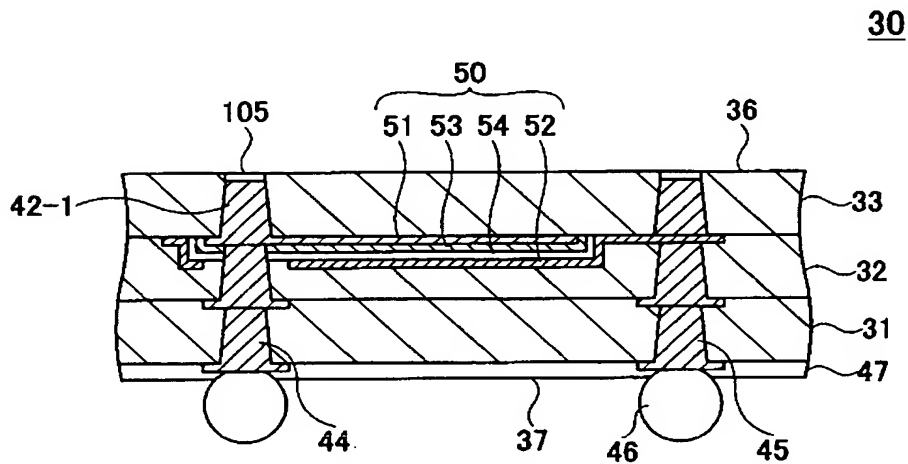
【図 1】

本発明の第 1 実施例になる半導体装置を示す図



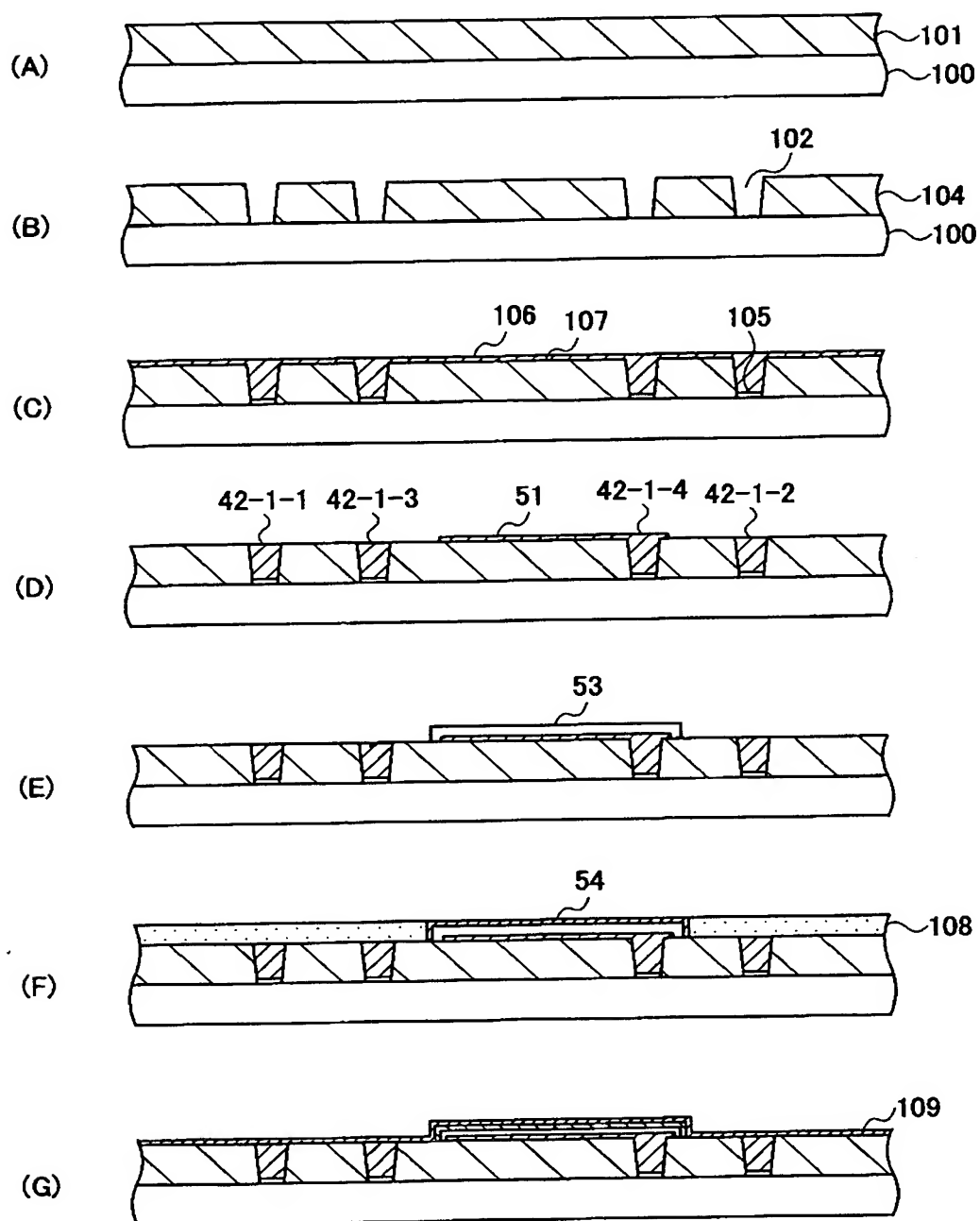
【図 2】

図 1 中、キャパシタ部及びこの周辺部を拡大して示す図



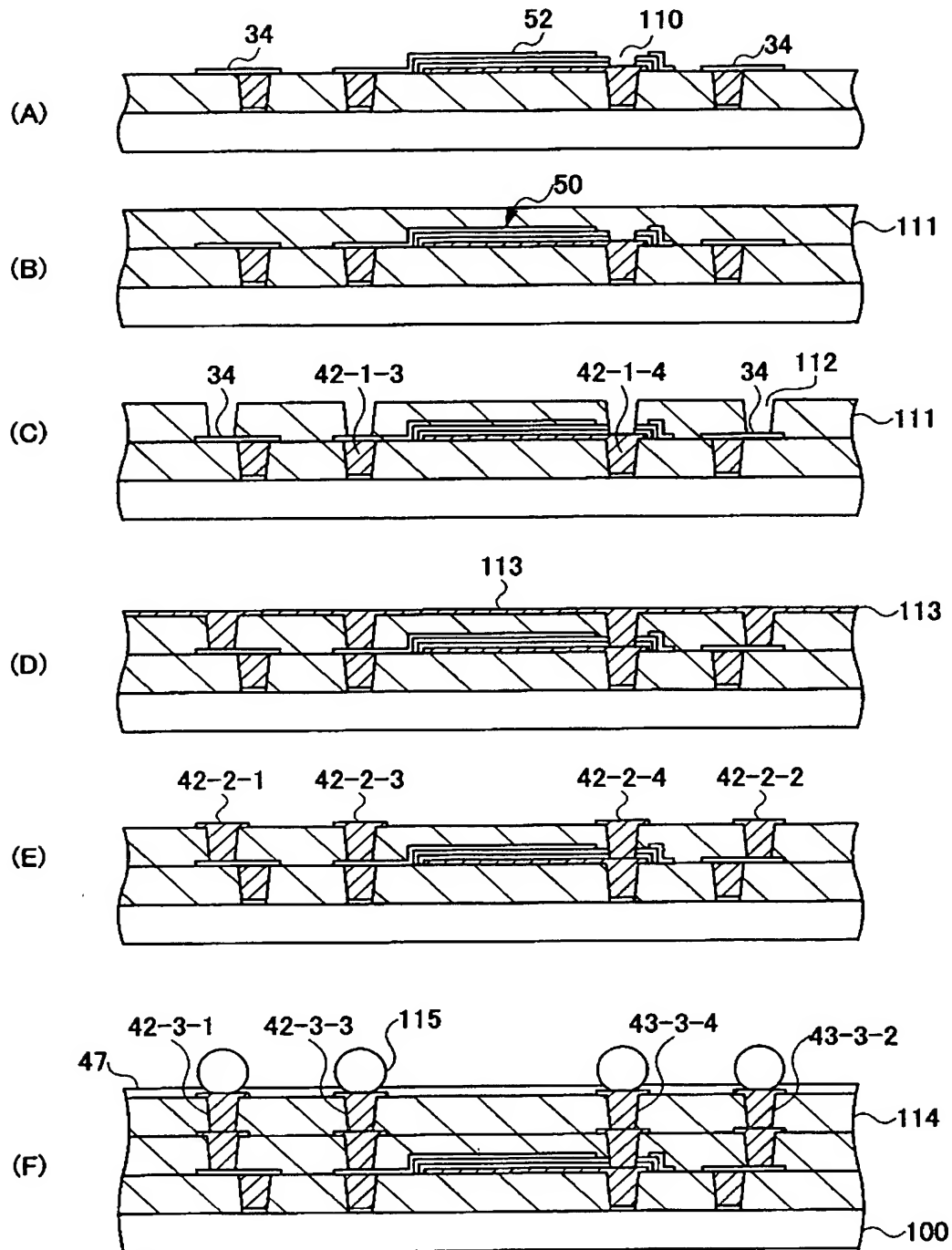
【図 3】

図 1 に示す半導体装置用基板の製造工程を示す図



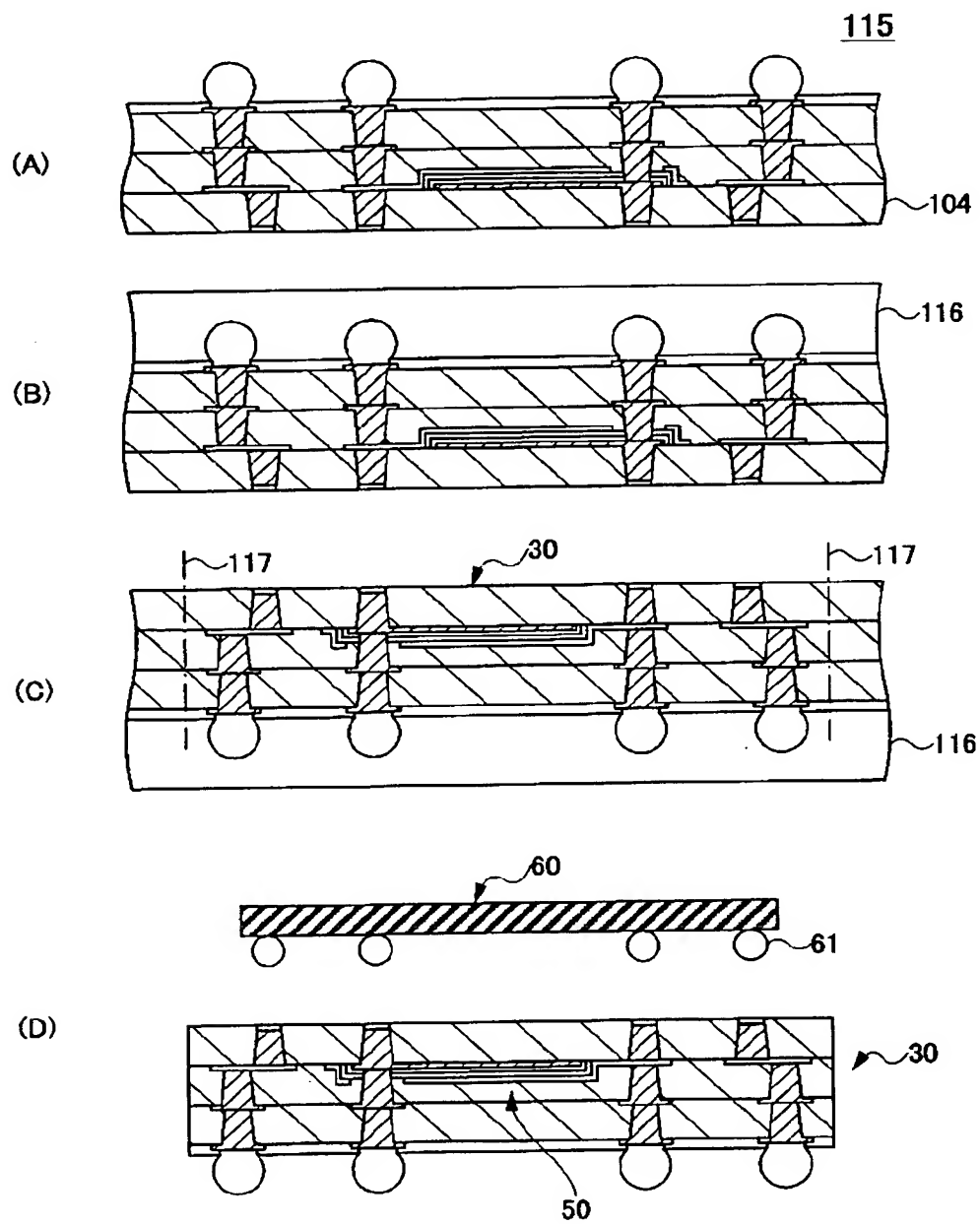
【図 4】

図 3 (G) に続く 製造工程を示す図



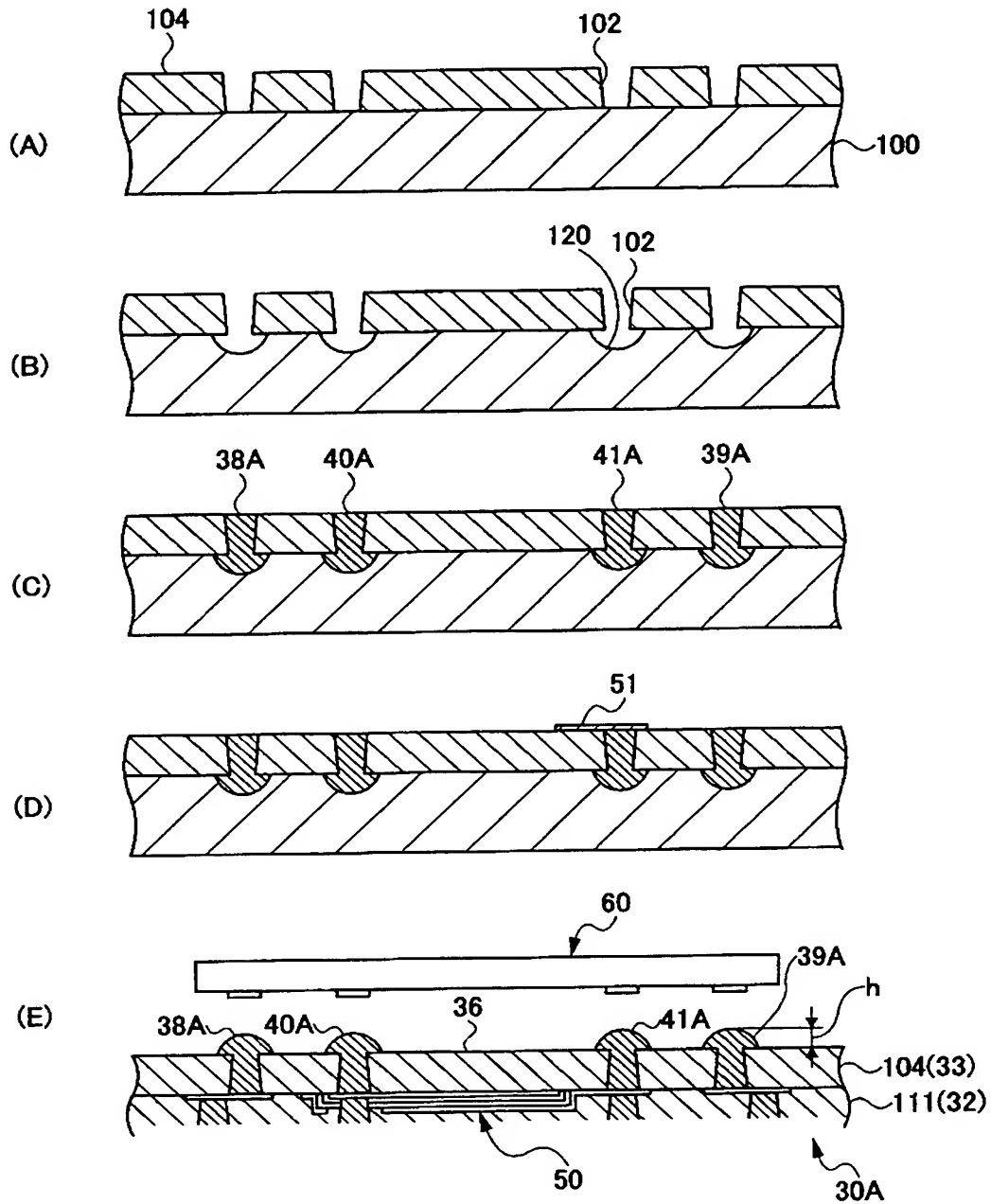
【図 5】

図 4 (F) に続く 製造工程を示す図



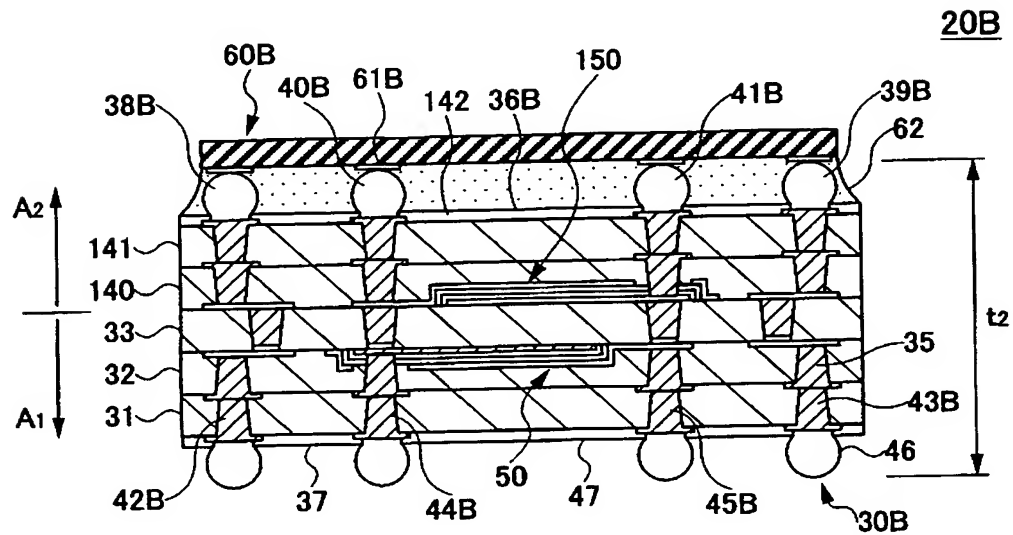
【図 6】

半導体素子搭載面の端子構造部の変形例を示す図



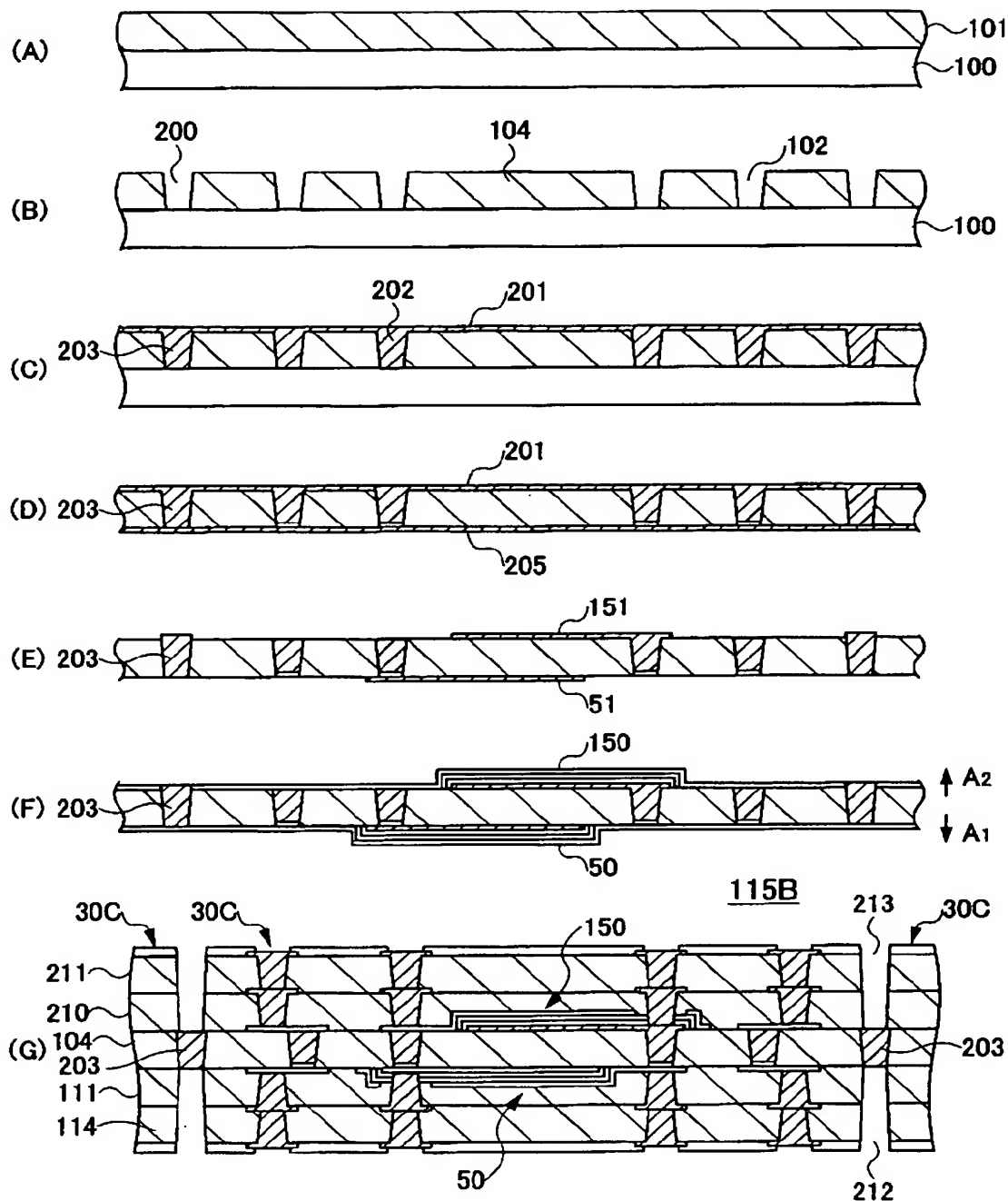
【図 7】

本発明の第 2 実施例になる半導体装置を示す図



【図 8】

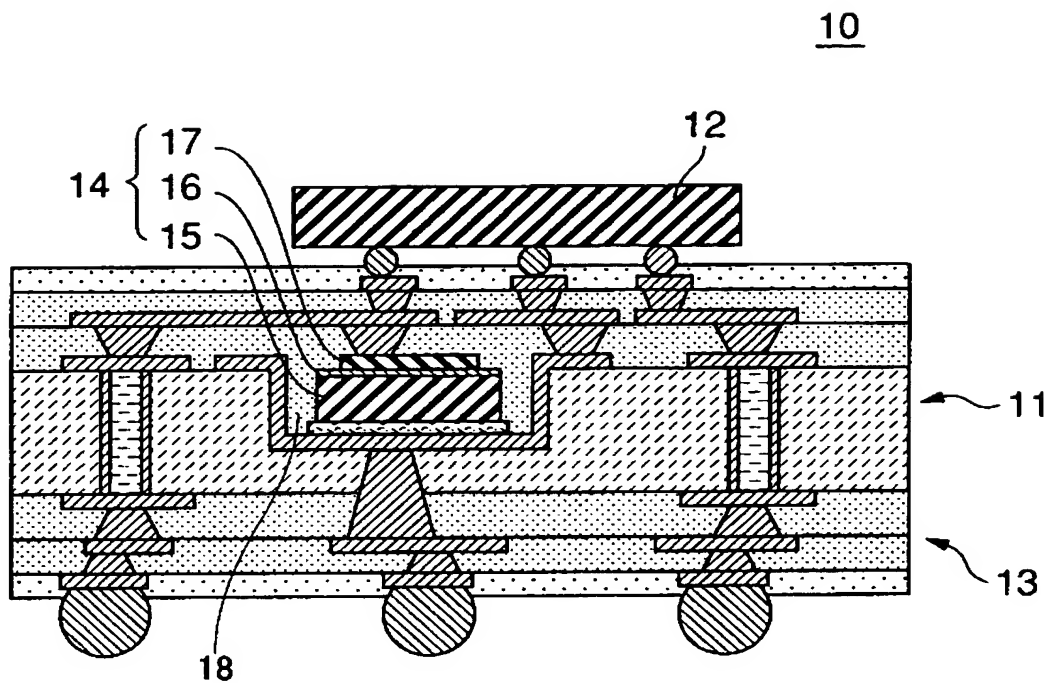
図 7 に示す半導体装置用基板の製造工程を示す図





【図 9】

従来例を示す図



【書類名】 要約書

【要約】

【課題】 本発明はバイパスコンデンサとしてのキャパシタ部を備えた半導体装置用基板に関し、キャパシタ部を絶縁層の積層する途中の過程で作り込むことによってインダクタンスを極く小さくして、半導体素子の動作周波数が高周波数化した場合にも半導体素子に供給する電源電圧の安定化を図ることができるようにすることを課題とする。

【解決手段】 半導体装置用基板 30 は、絶縁層 31、32、33 が積層してある多層回路基板であり、上側に半導体素子搭載面 36 を有する。絶縁層 33 はベークされた有機ポリシラン製の層である。キャパシタ部 50 は絶縁層 33 と絶縁層 32 との間に作り込まれており、電源供給導電経路 44 と接地導電経路 45 とに接続されている。

【選択図】 図 1

特願 2 0 0 2 - 3 1 4 6 9 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 9 0 6 8 8 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

長野県長野市大字栗田字舎利田 7 1 1 番地

氏 名

新光電気工業株式会社